

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-203108  
(43)Date of publication of application : 22.07.1994

(51)Int.Cl. G06F 15/60

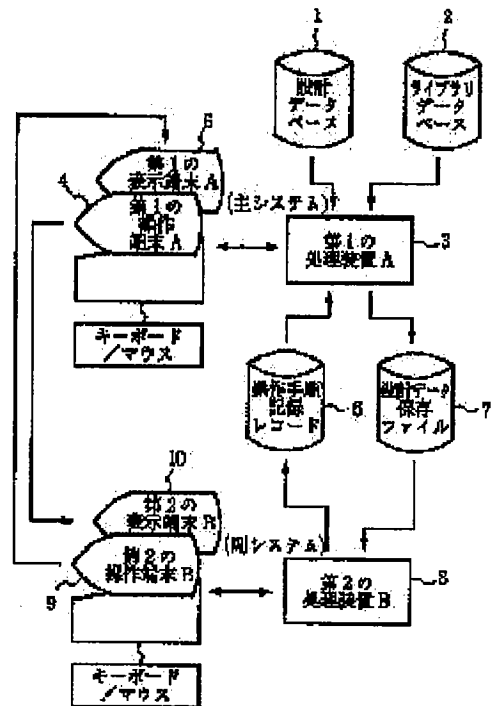
(21)Application number : 05-000154 (71)Applicant : NEC CORP  
(22)Date of filing : 05.01.1993 (72)Inventor : MIMAKI TADASHI

## (54) WIRING LAYOUT PROCESSOR

### (57)Abstract:

PURPOSE: To shorten layout time by enabling parallel layout work by respectively performing operations at operating terminals with plural operators when interactively performing wiring work by using a wiring processor.

CONSTITUTION: Main and sub systems are respectively provided with first and second processors 3 and 8, first and second operating terminals 4 and 9 and first and second display terminals 5 and 10 and at the display terminals 5 and 10, the conditions of layout wiring advancement can be monitored each other. Further, this wiring layout processor to parallelly process wiring layout is constituted by providing the processor 3 for the main system with a means for inputting a library data base 2 and a layout data base 2, means for inputting a layout data preservation file 7 from the processor 3 of the main system to the processor 8 of the sub system, and means for inputting an operation order recording record 6 from the processor 8 of the sub system to the processor 3 of the main system.



## LEGAL STATUS

[Date of request for examination] 05.01.1993

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number] 2072808

[Date of registration] 25.07.1996

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-203108

(43)公開日 平成6年(1994)7月22日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 15/60

識別記号

3 7 0 P 7623-5L

庁内整理番号

F I

技術表示箇所

審査請求 有 請求項の数 9 (全 9 頁)

(21)出願番号 特願平5-154

(22)出願日 平成5年(1993)1月5日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 三巻 正

東京都港区芝五丁目7番1号日本電気株式  
会社内

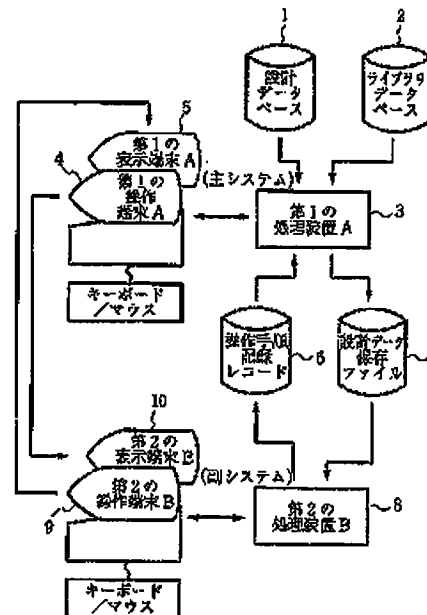
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 配線設計処理装置

(57)【要約】

【目的】配線処理装置を用いて対話的に配線作業を行なう場合、複数の操作者がそれぞれ操作端末で操作を行ない、並列設計作業を可能として設計期間を短縮する。

【構成】主および副システムのそれぞれに処理装置3、8、操作端末4、9および表示端末5、10を備え、表示端末でたがいの設計配線進行状況の監視を可能としている。さらに主システムの処理装置3にライブラリデータベース2および設計データベース1を入力する手段と、主システムの処理装置3から設計データ7を副システムの処理装置8に入力する手段と、副システムの処理装置8から操作手順記録レコード6を主システムの処理装置3に入力する手段とを有して配線設計を並列に処理する配線設計処理装置である。



(2)

特開平6-203108

1

【特許請求の範囲】

【請求項1】 第1の処理装置、表示機能を有する第1の操作端末および第1の表示端末を有する主システムと、第2の処理装置、表示機能を有する第2の操作端末および第2の表示端末を有する副システムと、ライブラリデータベースおよび設計データベースを前記第1の処理装置に入力する手段と、前記第1の処理装置からの設計データを前記第2の処理装置に入力する手段と、前記第2の処理装置からの操作手順記録レコードを前記第1の処理装置に入力する手段と、前記第1の操作端末と前記第2の表示端末に同じ映像を写し出す手段と、前記第2の操作端末と前記第1の表示端末に同じ映像を写し出す手段とを具備して、前記第1および第2の操作端末により配線設計を並列に処理することを特徴とする配線設計処理装置。

【請求項2】 前記第1および第2の操作端末にはそれぞれ、キーボードおよびマウスを有することを特徴とする請求項1に記載の配線設計処理装置。

【請求項3】 前記第1の操作端末を操作して、該第1の操作端末により結線処理を行なう領域と前記第2の操作端末により結線処理を行なう領域とを分割区分けし、しかる後に両操作端末により配線設計を並列に処理することを特徴とする請求項1に記載の配線設計処理装置。

【請求項4】 前記第1の処理装置は内部メモリを有し、該内部メモリに前記ライブラリデータベースおよび設計データベースを展開し、この内部メモリに格納されたメモリ情報を設計データ保存ファイルに書き込み、この書き込まれた設計データを前記第2の処理装置に入力することを特徴とする請求項1に記載の配線設計処理装置。

【請求項5】 前記設計データ保存ファイルは磁気ディスク内に形成されるファイルであることを特徴とする請求項4に記載の配線設計処理装置。

【請求項6】 前記第2の処理装置からの操作手順記録レコードと前記第1の処理装置自身による操作手順記録レコードの展開処理を行なった後、展開されたデータが矛盾していないかを検証する為のDRC処理を行ない、しかる後、前記第1の処理装置内の内部メモリにそのデータを記憶することを特徴とする請求項1に記載の配線設計処理装置。

【請求項7】 前記第2の処理装置からの操作手順記録レコードを磁気ディスク内に形成されるファイルに書き込み、それを前記第1の処理装置にファイル転送することを特徴とする請求項1に記載の配線設計処理装置。

【請求項8】 前記第1の操作端末および前記第2の操作端末による配線設計はそれぞれ対話設計形式で行なわれることを特徴とする請求項1に記載の配線設計処理装置。

【請求項9】 前記第1の操作端末による前記分割区分けは対話設計形式で行なわれることを特徴とする請求項

2

3に記載の配線設計処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は配線設計処理装置に係わり、特に並列設計処理に適した配線設計処理装置に関するものである。

【0002】

【従来の技術】配線設計処理装置はディスプレイを包含する操作端末を用いて設計製図作業を自動的にあるいは対話的に行なう装置である。従来の配線設計処理装置は、例えば特開昭63-129467号公報に示されているように、特に自動配線設計の並列処理効率を改善する目的で、配線処理を行なうプロセスとは別に自動処理での結線率を上げるために既決定の配線を移動させるプロセスを別に設けるものであった。

【0003】また、特開平2-224182号公報では、配線設計する領域を複数の小領域に分割し、分割された小領域内で確定する処理を行い、最後に分割された領域を併合し、複数の領域にまたがった配線区間データに対して、各領域内で決定された配線経路データをつなぎ合わせる処理を対話形配線編集処理で行なっていた。

【0004】

【発明が解決しようとする課題】従来の上記特開昭63-129467号公報に示されているような配線設計処理装置では、新たな配線経路を生成するために、既配線を移動させる処理を別のプロセスで処理させているが、移動処理そのものに普遍性が無く自動処理を前提とした構成では、プリント配線板等の配線基板上の配線処理を実施しても効果が期待できない。

【0005】一方、従来の上記特開平2-224182号公報に示されている一意的に配線領域を分割する装置では、各領域に属する配線経路が確定したとしても、個々の分割領域を併合したときに、必ずしも経路が見え可能であるとは限らないため、結局は併合した直後、個々の分割領域の既配線を大幅に移動しなければならなくなり、現実的な装置とは言えない。また、プリント基板やハイブリッドICの配線経路は全体的な配線状態から見ると、たとえ未結線区間の両端点が同一の分割領域内に含まれていたとしても実際の経路がその分割領域内にすべて含まれているとは限らない場合が頻繁に起こるという問題が解決されていない。

【0006】したがって本発明の目的は、配線設計における経路検出や配線移動の処理を装置内部で自動的に行なわず、また一意的な領域分割を装置内部に設定せず配線設計処理を一定のデータ追加ルールを設けて並列的に行ない、これにより配線設計を短期間に行なうことを可能とする配線設計処理装置を提供することである。

【0007】

【課題を解決するための手段】本発明の特徴は、第1の

(3)

特開平6-203108

3

処理装置、表示機能を有する第1の操作端末および第1の表示端末を有する主システムと、第2の処理装置、表示機能を有する第2の操作端末および第2の表示端末を有する副システムと、ライブラリデータベースおよび設計データベースを前記第1の処理装置に入力する手段と、前記第1の処理装置からの設計データを前記第2の処理装置に入力する手段と、前記第2の処理装置からの操作手順記録レコードを前記第1の処理装置に入力する手段と、前記第1の操作端末と前記第2の表示端末に同じ映像を写し出す手段と、前記第2の操作端末と前記第1の表示端末に同じ映像を写し出す手段とを具備して、前記第1および第2の操作端末により配線設計を並列に処理する配線設計処理装置にある。

【0008】この様な本発明は並列処理を可能にするために複数の操作端末と処理装置を基本構成とし、それぞれの処理装置間を設計データと、設計データを形成していく過程の操作手順データを授受しながら、一つの設計データによる配線設計を会話的に仕上げていく方式となる。この際、並列配線処理を行なうことによって生ずる配線の交叉や干渉の障害を防ぐために配線手順記録レコードを設けているから、デザインルールチェック(DRC)機構を通すことによってこれらの障害を回避することができる。また並列配線処理効率を上げるために互いの配線状態を監視する表示装置を備えており、さらに結線区間の配線作業分担エリアを実際の設計状況に適合できるように操作者が任意に設定することができる。

【0009】

【実施例】次に図面を用いて本発明を説明する。

【0010】図1は本発明の一実施例の配線設計処理装置の要部の構成を示すブロック図である。同図において、主(メイン)システムの装置および端末には付加文字Aをつけ、副(サブ)システムの装置および端末には付加文字Bをつけてある。

【0011】すなわち、第1の処理装置A3と、表示機能を有する第1の操作端末A4と、第1の表示端末A5とを有して主システムが構成され、一方、第2の処理装置B8と、表示機能を有する第2の操作端末B9と、第2の表示端末B10とを有して副システムが構成されている。第1および第2の操作端末4、9のそれぞれはキーボードおよびマウスを備えそこにそれぞれ操作者を配置させて、この2人で並列配線設計処理を行なう。また、ライブラリデータベース2および設計データベース1は主システムに属する第1の処理装置A3に入力される入力データであり、第1の処理装置A3と第1の操作端末A4とが接続されて情報信号の伝達を互に行ない、第2の処理装置B8と第2の操作端末B9とが接続されて情報信号の伝達を互に行う。さらに、第1の操作端末A4と第2の表示端末B10とに同じ映像が写し出されるように両者は接続され、第2の操作端末B9と第1の表示端末A5とに同じ映像が写し出されるように

4

両者は接続されている。さらに、第1の処理装置A3からの設計データを第2の処理装置B8に入力する手段として磁気ディスク内の設計データ保存ファイル7を有し、また、第2の処理装置B8から副システムによる設計手順結果を第1の処理装置A3に入力する手段として磁気ディスク内の操作手順記録レコード6を有している。

【0012】次に配線設計の具体例を、初期設計データ作成の入出力関係を示す図2および初期設計データ作成処理のフローチャートを示す図3を用いて説明する。図2、図3は主システムに属する第1の処理装置A3へのデータの取り込みと第1の処理装置A3から設計データ保存ファイル7への出力過程を示している。

【0013】まず図3のステップ12、13において、第1の処理装置A3は設計データベース1とライブラリデータベース2から設計の基本情報を入力し、この読み取られたデータ1、2はプログラムにより規定されたデータ構造に従って同装置内の内部メモリ11に逐次展開される。設計データベース1には、設計に使用する部品定義およびどの部品ピンとどの部品ピンを接続するかを表示するネットリスト定義の情報が記述されている。ネットリスト定義とはプリント基板の設計における部品どうし間の接続情報である。また、ライブラリデータベース2には、各々の部品のランドやパッドの寸法や形状、部品の全体形状および部品固有のシルク図形の情報が格納されている。シルク図形とは、プリント基板上に白インクでスクリーン印刷された、部品実装の方向や部品の名称を示す図形のことである。また、ライブラリデータベース2には、層構成やライン幅やクリアランス値が設定されており、設計1点毎に第1の処理装置A3に読み込まれる。

【0014】次に図3のステップ14の結線区間分割抽出処理が行なわれる。この結線区間分割抽出処理14について、図4～図6を用いて説明する。

【0015】「入力データ終了」(図3)が完了すると主システムの第1の操作端末A4に図4の部品ピン(パッド)17と接続要求状況を示すラットネスト18が表示される。尚、ラットネストとは、接続すべき部品ピンのうちのどの部品ピンどうしを接続すれば最短距離となるかをCRT画面上に視覚的に表示することである。また同様の映像が副システムの第2の表示端末B10にも表示される。ここで主システムの操作者は第1の操作端末A4を操作して部品ピン(パッド)17とラットネスト18の全体的様子を見ながら、主システムの操作者と副システムの操作者による並列設計処理が効率的に進行できるように結線区間の分割を行なう。図5、図6は具体的な結線区間分割抽出処理14を示している。

【0016】図5は図4に対して結線区間分割領域19を書き入れたものである。この結線区間分割領域19は、第1の操作端末A4の操作者がその操作端末画面上

(4)

特開平6-203108

5

で入力していく対話設計形式で行なわれる。結線区間分割領域19を入力することにより、図5に示されるように両端点17が黒丸のラットネスト18、すなわち結線区間分割領域19内に少なくともどちらか一方の端点17が含まれているラットネスト18と、図6に示されるように両端点17が白丸のラットネスト18、すなわち結線区間分割領域19内に両端点17のどちらもが含まれないラットネスト18に分解される。

【0017】このような図5、図6の結線区間分割領域19により、並列に結線処理を行なう中で同時にどちらの結線役割分担なのかを判断することが可能になる。そして例えば図5のラットネストに対する配線処理を主システムの操作者が第1の操作端末A4を操作して行ない、図6のラットネストに対する配線処理を副システムの操作者が第2の操作端末B9を操作して行なう。尚、主システムの操作者が第1の操作端末A4を操作して結線区間分割領域19を入力形成している間は、副システムの操作者は第2の表示端末B10でそれを見ているだけである。

【0018】この結線区間分割抽出処理14が終了すると図3のステップ15の処理が行なわれる。処理15は、図2の設計データ保存ファイル7に第1の処理装置A3の内部メモリ11に格納されているメモリ情報をそのまま書き込む処理である。

【0019】次に図3のステップ16の処理が行なわれる。処理16は、磁気ディスク内の設計データ保存ファイル7に書き込まれた情報を副システムの第2の処理装置B8にファイル転送し、読み込ませる処理である。この処理16は配線処理のベースとなる設計データの内容を主システムと副システムとで揃えることを目的としている。

【0020】次に図7～図10を参照して実施例の並列化設計処理について説明する。

【0021】まず図7のフローチャートにおいて主システムおよび副システムがそれぞれの開始点からスタートする。

【0022】まず図7のフローチャートにおける処理20～23までを説明する。図3の処理によって分配された設計データ保存ファイル7は、主システムと副システムで図5および図6に示すように結線要求区間が異なるものであるが、これが第1の処理装置A3を介して第1の操作端末A4および第2の表示端末B10に表示され、第2の処理装置B8を介して第2の操作端末B9および第1の表示端末A5に表示される(処理20)。次に、主システムの操作者はキーボードおよびマウスを操作し第1の操作端末A4により図5のラットネスト18に対する配線設計作業を対話設計形式で進めていく。そしてこの主システムにおける進行状況は第2の表示端末B10により副システムの操作者が観察することができる。同様に、副システムの操作者はキーボードおよびマ

5

ウスを操作し第2の操作端末B9により図6のラットネスト18に対する配線設計作業を対話設計形式で進めていく。そしてこの副システムにおける進行状況は第1の表示端末A5により主システムの操作者が観察することができる(処理21)。尚、プリント配線設計では自動設計形式と対話設計形式があり、自動設計形式は配線設計において入手を有さず装置側で配線経路を探索して設計する形式であり、一方本発明で用いる対話設計形式は操作端末の表示手段であるCRTに写し出された周囲の既配線状況もしくは配線予定状況を見ながら操作者が配線の経路を探索して配線を1本1本入れていく形式である。この対話設計形式で設計作業を進めていく際に、設計作業内容によって操作の連続性が意味を持つために、処理22により設計単位操作が終了したか否かを常に監視している。この設計単位とは対話設計形式において、設計操作の手続が不連続になっても、設計データ上は矛盾なく生成される状態が再現される単位をいう。

【0023】次に処理23によりDRC(Design Rule Check)処理を行なう。このDRC処理は、操作者によって入力された手続が、設計情報として論理的に、物理的に違反がないかどうかを検査する処理である。もし違反があれば関連する一連の操作手続はキャンセルされ、設計情報として登録されることはない。操作者により入力された手続は基本的にはすべて設計情報となる。設計情報の違反と手続の違反とは同じである。物理的違反は、例えば操作者が配線パターンを他の配線パターンに無理に接近させて両者間の間隔が許容値より小として配線設計をした場合などであり、論理的違反は、例えば操作者が配線経路を短縮する為にLSI内の論理的に等価では無いにもかかわらず誤って等価であると思ったピンに対して、ラットネストを取り替えた場合などである。

【0024】以上が主システムおよび副システムのフローチャート20～23までの説明である。

【0025】副システムについて、続く処理の流れを説明する。副システムのDRC処理23の後、副システムの操作者が第2の操作端末B9で操作した配線設計に関する有効情報の操作手順記録レコード6を例えば磁気ディスクに出力する処理24が行なわれ、処理26によりこの操作手順記録レコード6の全てが磁気ディスクに蓄積される。

【0026】ここで図8を参照して、操作手順記録レコード6がどのような情報から成り立っているかを説明する。大別すると、コマンド入力履歴とパラメータ入力履歴から成り、前者は操作者が使用した装置内のコマンド(命令)が記録され、後者は操作者がマウスやキーボードを用いて入力した配線の座標情報や文字情報が記録される。これらの情報を時系列的に組み立てていけば、操作手順を再現することができる。

【0027】再び図7に戻り、この蓄積された情報を主

(5)

特開平6-203108

7

システムに転送するか否かの判定処理27を副システムの操作者により行なう。転送を行わない場合は副システム処理フローの最初に戻り、上述の手順を繰り返す。

【0028】例えば副システムの操作者が行なった操作が設計情報としては存在しても、その設計情報が設計を進めるという観点からまったく意味を持たない場合などには転送しないとの判定となる。設計を進行させたが結果的には今行なった設計単位を実施する前の方が良かった場合とか、設計を進行させたが設計仕様の変更となり転送の必要が無くなった場合などに設計を進める意味を持たなくなる。したがってこのように設計仕様の変更の可能性のある領域は主システムより副システムの配線設計分担とする方が好ましい。また、転送しない場合に副システムの処理を最初に戻すのは、設計データベースを主システムと共有化し、設計開始フェイズを合わせることににより矛盾させない様にする為である。

【0029】次に主システムについて、図7のDRC処理23に続く処理の流れを説明する。副システムと同様にDRC処理により違反がないとされた情報は有効情報として、主システムでは内部メモリ展開処理25が行なわれる。その後、副システムから操作手順記録レコードの転送が有るか無いかの判定処理29が行なわれ、転送が有る場合は、主システムの処理に対して、副システムの操作者により生成された情報の割り込みかかり、操作手順記録レコード展開処理28が行なわれる。すなわち、主システムで設計作成された内部メモリ展開25に対して副システムで設計作成された設計手順記録レコード6を展開することにより配線処理の並列化を行うことが可能となる。

【0030】また、副システムからの転送が無い場合は、主システムの操作者が行なった配線設計のみにより設計終了の判定処理33が行なわれる。

【0031】副システムからの転送が有る場合の上記操作手順記録レコード展開処理28の後、DRC処理23により、展開されたデータが主システムの内部メモリデータに対して矛盾しないかどうかの検証を行なう。その後、引き続き主システムで、副システムからの情報を含めた内部メモリ展開処理25、設計データ保存ファイルへのデータ出力処理27、副システムに設計データ保存ファイル転送処理31、DRC処理の蓄積データ消去処理32を行ない、主システムおよび副システムの開始点に戻る。そして必要だけ上記処理フローが繰り返行われる。

【0032】図9および図10は、図5のラットネスト18に対して主システムの操作者が細線で図示する配線パターン34を設計し、図6のラットネスト18に対して副システムの操作者が太線で図示する配線パターン35を設計した様子を示しており、図9は並列設計処理が問題無く進行されて完全な結線が行なわれた場合であり、一方、図10は配線パターン35の内に未結線3

8

5'のラットネストが存在していた場合である。図10の未結線35'は配線パターン34の部分34'と交叉するためにDRC処理23'でエラーとしてその配線がキャンセルされたものである。すなわちこの実施例では、両操作者は互いの配線進行状況をそれぞれの表示端末でみているが、視覚的にモニタリングしているだけであり排他制御までは行っていないので両者のデータを合成する操作手順記録レコード展開処理28の後のDRC処理23'において初めてその不都合が判明する。この場合は図9と比較すれば明らかのように、副システムの操作者のみが自己の分担の太線で示す配線パターン35の経路を最適に選べば図10の未結線35'は発生しなかったのであるから、この様な場合、副システムの操作者は図7における次の副システムの処理ルートのなかでこの未結線35'の部分が正常な配線となるように配線設計を行なうことができる。

【0033】

【発明の効果】以上説明したように本発明は、配線設計を実施するシステム中で互いの配線設計進行状態を監視モニタリングする表示装置と、結線区間分割領域処理手段と、配線手順記録レコード手段と、展開処理ブロックを用いることにより、対話的な配線設計処理の時間（リードタイム）を短縮することができる。

【0034】例えば図11に示すように、単独設計の場合はトータルの正味時間は約14時間、リードタイム（LT）が16.5時間（H）の配線設計が、本発明の配線処理装置を用いるとトータルの正味時間は約14時間と変わらないが、リードタイム（LT）は9.3時間（H）とほぼ半分に短縮することができる。

【図面の簡単な説明】

【図1】本発明の実施例の構成を示すブロック図である。

【図2】本発明の実施例の初期設計データ作成の入出力関係を示す図である。

【図3】本発明の実施例の初期設計データ作成処理を示すフローチャートである。

【図4】本発明の実施例の設計データを処理装置に取り込んだ直後の図である。

【図5】本発明の実施例において結線領域を主システムに割当てた状態図である。

【図6】本発明の実施例において結線領域を副システムに割当てた状態図である。

【図7】本発明の実施例の並列処理を実施するためのフローチャートである。

【図8】本発明の実施例の操作手順記録レコードの内容を示す図である。

【図9】本発明の実施例において並列処理を実施し、未結線が存在しない配線状態を示す図である。

【図10】本発明の実施例において並列処理を実施し、未結線が存在する配線状態を示す図である。

(6)

特開平6-203108

9

10

【図1】 本発明の効果の一例を示す図である。

【符号の説明】

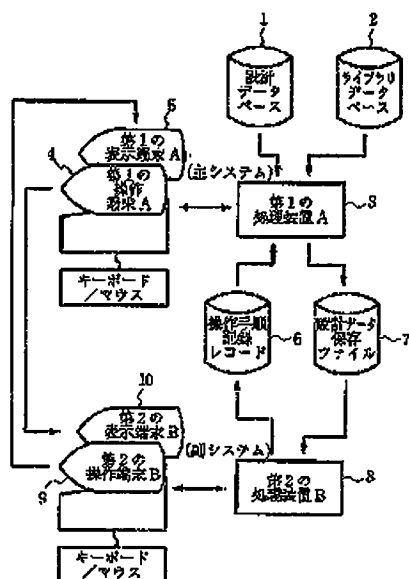
- 1 設計データベース
- 2 ライブラリデータベース
- 3 第1の処理装置A
- 4 第1の操作端末A
- 5 第1の表示端末A
- 6 操作手順記録レコード
- 7 設計データ保存ファイル
- 8 第2の処理装置B
- 9 第2の操作端末B

\* 10 第2の表示端末B

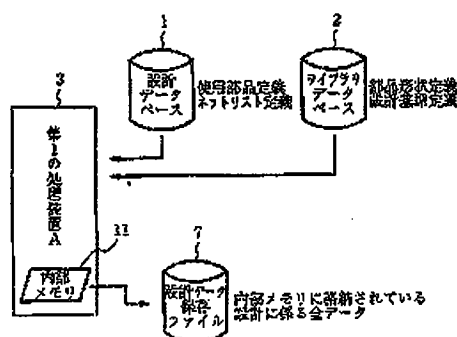
- 11 内部メモリ
- 12~16 図3のフローチャートの処理項目
- 17 部品ピン（パッド）
- 18 ラットネスト
- 19 結線区間分割領域
- 20~33 図7のフローチャートの処理項目
- 34 主システムによる配線設計パターン
- 35 副システムによる配線設計パターン
- 35' 未結線のラットネスト

\*

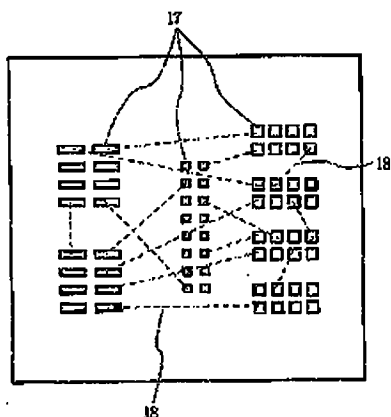
【図1】



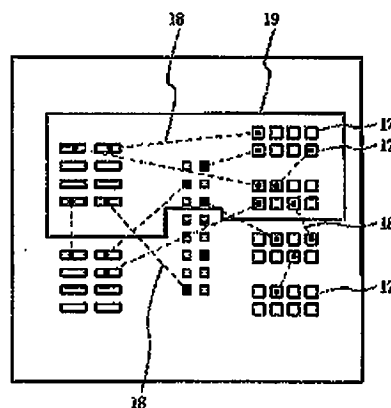
【図2】



【図4】



【図5】

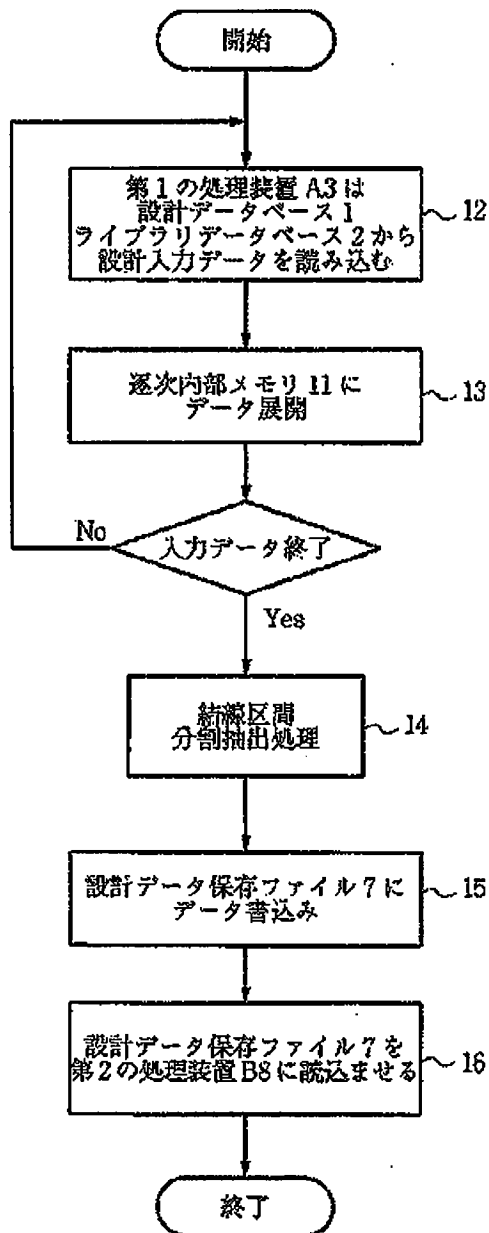




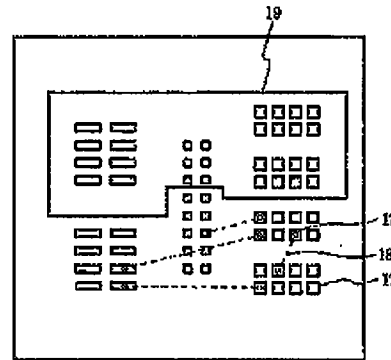
(7)

特開平6-203108

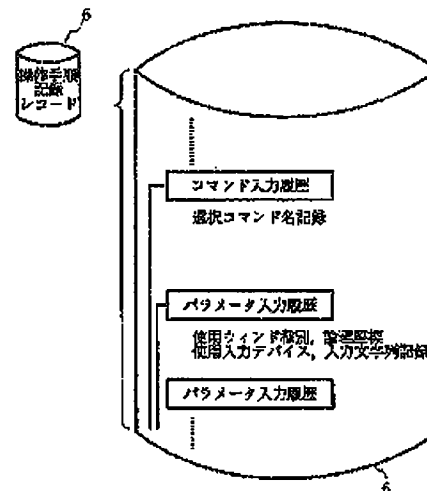
【図3】



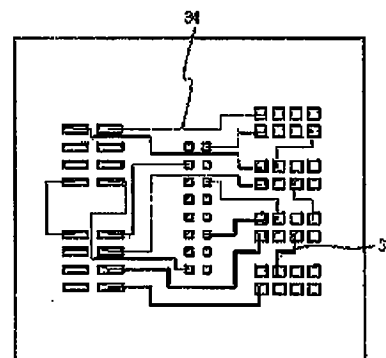
【図6】



【図8】



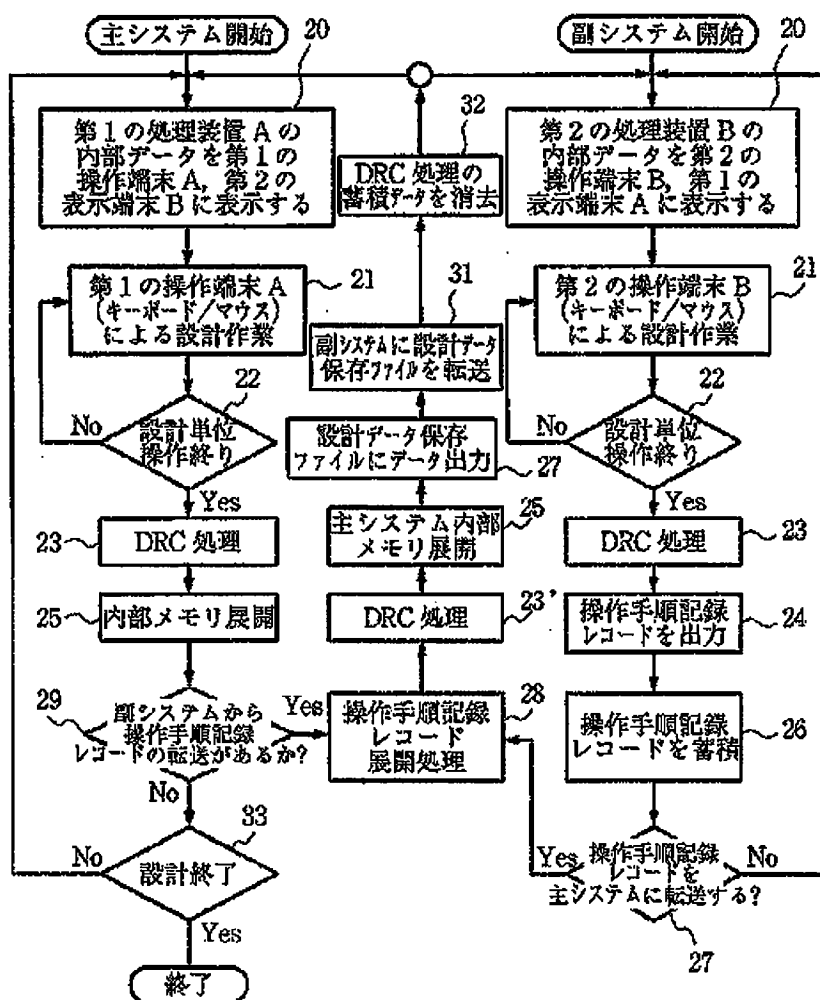
【図9】



(8)

特開平6-203108

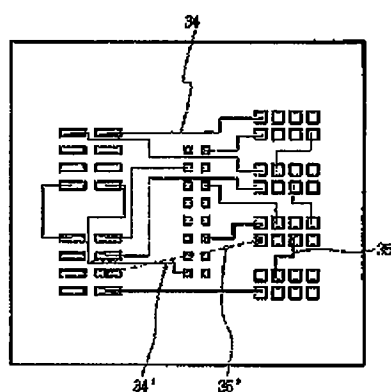
【図7】



(9)

特開平6-203108

【図10】



【図11】

